*Лекція №19*

*Режим переривань*

*Переривання* – тимчасове призупинення виконання однієї програми з переходом на іншу, також є можливість повернення на програму яка була призупинена.

Зовнішні переривання є важливим засобом синхронізації процесів в мікропроцесорній системі. За допомогою сигналів зовнішніх переривань пристрої системи оповіщають один одного про готовність до передачі даних або про зміну режимів роботи, тобто обмінюються управляючою інформацією. Якщо для прийому сигналів переривань в процесорах передбачені спеціальні входи, то для формування сигналів вимоги переривання можуть знадобитися додаткові засоби.

***Апаратна реалізація зовнішніх переривань***

1. Використання централізованого КПП.
2. Використання децентралізованого КПП(*дейзі-послідовність або дейзі-ланцюжок)*.

***Централізований КПП***



*Рис. 19.1 Структурна схема централізованого КПП*

*IRQ – запит на переривання;*

*IACK – підтвердження переривання.*

По запитам від зовнішніх пристроїв контролер переривань з урахуванням системи пріоритетів видає на процесор сигнал вимоги переривання IRQ. Умовою формування такого сигналу є готовність пристроїв до взаємодії з процесором і відсутність маскування запитів з боку процесора.

Отримавши сигнал IRQ, процесор завершує до кінця виконання чергової команди, видає на контролер сигнал підтвердження переривання IACK і зчитує з шини даних вектор, який виставляє на шину контролер переривань.

Процесор зберігає (зазвичай в стеку) адреси повернення і стан програми, що тимчасово перервана, обчислює адресу переходу, використовуючи для цього отриманий вектор переривання й після цього здійснює перехід на першу команду підпрограми обробки переривання. Процесор виконує підпрограму. Остання команда підпрограми є спеціальною командою повернення з переривання, яка відновлює стан перерваної основної програми і передає їй управління.

Схема підключення централізованого контролера пріоритетних переривань (КПП) показана на рис. 19.1. Зовнішні пристрої, в числі яких можуть бути й інші процесори, формують запити на переривання IRQ. Особливість такої схеми полягає в тому, що підключення ЗП до магістралі процесора не є обов’язковим. Це пояснюється тим, що вектор V в процесор передає КПП, а не зовнішні пристрої. Завдяки цьому через переривання можуть взаємодіяти процесори, підключені до різних магістралей.

Централізований КПП показаний на рис. 19.2. Контролер підключений до магістралі процесора через інтерфейс, який забезпечує процесору доступ до регістру маски (РМ) і регістру поточного пріоритету (РПП). Адреси вказаних регістрів включені в адресний простір зовнішніх пристроїв. Записом слова маски в регістр РМ процесор може дозволити або заборонити переривання від певних джерел. Незамасковані запити IRQ записуються в регістр запитів переривань (РЗП). Блок вибору пріоритету (БВП) формує код самого старшого пріоритету, який в схемі порівняння кодів (СПК) порівнюється з поточним пріоритетом – пріоритетом виконуваної процесором програми. Якщо запрошений пріоритет вище поточного, то формується сигнал IRQ. Далі, у відповідь сигналу IACK, через буфер вектора (БВ) і інтерфейс в магістралі видається вектор, який приймається процесором. У регістр РПП записується новий код пріоритету. У даному контролері роль вектора виконує код номера запиту.



*Рис. 19.2. Централізований КПП*

Централізований КПП потенційно дозволяє забезпечувати різні дисципліни обслуговування заявок, оскільки всі заявки поступають в один пристрій. Для забезпечення пріоритетного обслуговування застосовується блок вибору пріоритету. У простому випадку в якості БВП використовується пріоритетний шифратор (ПШ), який формує код старшого рівня пріоритету. При цьому всі запити мають фіксовані пріоритети, рівень яких визначається номером входу КПП.

***Розробка алгоритмів взаємодії процесора з основними структурними елементами системи (ОП, ЗП, КПП)***

Взаємодія процесора з ОП чи ЗП виконується наступним чином:

1. При виконанні процесором команди читання/запису в ОП (чи ЗП) перевіряється чи вільна шина (чи не занята КПДП);
2. Якщо шина зайнята, процесор призупиняє роботу до отримання контролю над шиною;
3. В залежності від команди, з регістра R0 чи R1 на ША встановлюється адреса;
4. Процесор подає сигнал STA;
5. Процесор подає сигнал R/W при роботі з пам’яттю, або I/O при роботі з ЗП;
6. ОП чи ЗП при отриманні сигналу, виставляють дані на шину в залежності від адреси, та подають сигнал готовності (RDM чи RDD).
7. Процесор, отримавши сигнал готовності зчитує дані з ШД.

Для роботи з ЗП можна використовувати програмний режим опитування. Алгоритм представлений на рис. 19.3. Він полягає в послідовному зчитуванні станів всіх ЗП та перевірки їх готовності.

***Реалізація режиму переривань за допомогою децентралізованого контролера пріоритетних переривань***

Під час використання розподіленого контролера переривань (рис.19.5) всі ЗП повинні бути підключені до магістралі процесора. Це обумовлено тим, що вектор переривання на шину даних в даному випадку видає сам активний ЗП.

До складу кожного ЗП включений блок контролера переривань КПП (РАППі), який видає сигнал запиту *IRQ*, на загальну лінію *IRQ*. Технологічні особливості елементної бази повинні допускати таке об'єднання виходів елементів (наприклад, використовуються елементи з відкритим колектором, а сигнали запитів мають активний низький рівень).

У відповідь сигнал процесора *IACK* розповсюджується послідовно через елементи КПП, створюючи так званий пріоритетний ланцюжок або "гірлянду" (*daisy chain*). Елементи ланцюжка в кожному КПП пропускають сигнал *IACK* або розривають ланцюжок. Пріоритетний ланцюжок розривається на першому (по шляху розповсюдження сигналу) активному ЗП, який виставив сигнал запиту *IRQ*. Даний активний ЗП видає на шину даних вектор переривання, який приймається процесором.

КПП містить доступні для процесора регістр стану (РС), регістр (РД) і регістр вектора (РВ). Під час ініціалізації режиму роботи системи процесор записує в регістр РВ вектор переривання, а в регістр РС – біт дозволу переривання (ДП). Якщо ЗП готовий до взаємодії з процесором, то в регістрі РС встановлюється біт готовності «Г». Це встановлення виконується засобами внутрішнього управління ЗП. За збігу сигналів «Г» і «ДП» формується запит *IRQ*, який через елемент узгодження поступає на лінію *IRQ*. Вхідний для кожного блоку сигнал *IACKin* передається на вихід *IАСКout* або забезпечує видачу вектора через буфер вектора (БВ), що визначається значенням *IRQ*.

|  |  |
| --- | --- |
| *Рис. 19.3 Програмний режим опитування ЗП* | *Рис. 19.4. Алгоритм роботи процесора з централізованим КПП* |



*Рис. 19.5. Структурна схема децентралізованого КПП*

*РАППі – децентралізований і-й арбітр.*

*ФВі – формувач і-ого вектору.*

Умови формування запиту:

* *якщо ЗП готовий до обміну;*
* *переривання для нього не заборонене;*

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | *7* | *6* |  |  |  |  |  |  |
| *РС* | *1* | *1* |  |  |  |  |  |  |
|  | *Гот.* | *ДП* |  |  |  |  |  |  |

Готовий до обміну ЗП формує (виставляє) запит *IRQ*і, що надходить на спільну шину *IRQ* (утворюючи таким чином уявний (віртуальний) елемент “AND”). Процесор завершує виконання власної поточної команди і послідовно генерує сигнали: підготовка та підтвердження *IACK* (перший прокладає шлях для проходження сигналу *IACK*), за допомогою спеціальних “ключів”, тобто *IACK* надходить лише до першого ЗП, що видав свій *IRQ*і (тобто цей ЗП є найбільш пріоритетним ). *IACK* вмикає “ключ” і видає сигнал на ФВі, що забезпечує вивід на ШД вектора переривання , процесор П читає вектор V.

На рисунку 19.6 приводиться структурна схема підключення до інтерфейсу ЗП розподіленого арбітра переривання (децентралізованого КПП). Інтерфейс ЗП складається з основних блоків: селектора адреси (СА), регістрів стану та даних (РС), (РД), а також шинного формувача (ШФ).

Децентралізований КПП містить два тригери D (Тг1, Тг2), буферний регістр для зберігання вектора переривання (БРВ), блок мікро тумблерів (МТ), елементи І, АБО-НЕ.

Зовнішній пристрій виставляє в РС сигнали «Готовність» (Гот) та «Дозвіл на переривання» (ДП). Якщо ЗП виставив ці сигналі, то Тг1 встановлюється в «1», що дозволяє сформувати сигнал *INT.* Цей сигнал через ШИНУ ЗП (*INT*) надходить до мікроконтролера. Процесор, після закінчення виконання команди, видає два сигнали *–* «Підготовка переривання» (ПідП), пізніше сигнал «Підтвердження переривання» (IACK).

Перший сигнал (Під.П) забезпечує шлях проходження сигналу (IACK), який проходить через зовнішні пристрої які не вимагають переривання і замикає « ключ» ЗП, який висунув вимогу на переривання. В цьому ЗП формується «Вектор переривання» , який передається через перетворювач адреси (ПА) та регістр даних (РД) в мікроконтролер.

Вектор переривання – це адреса програми обслуговування ЗП.

*Рис. 19.6. Функціональна схема підключення до інтерфейсу ЗП розподіленого арбітра (РАППі)*

***Розробка функціональної та принципової схеми КПП***

Для побудови централізованого контролера пріоритетних переривань використовують мікросхеми. На рис. 19.7. приведена функціональна схема інтерфейса ЗП та схема КПП для роботи з вісьмома ЗП. Мікросхема PIC8259Aмає наступну структурну організацію:



*Рис. 19.7. Функціональна схема PIC8259A*

Всі регістри і тригери мікросхеми PIC8259A синхронізуються позитивним фронтом сигналу.

Для реалізації централізованого контролеру пріоритетних переривань в МПС можуть бути застосовані мікросхеми КМ1804ВН1( PIC8259A) – восьмирозрядна схема пріоритетного переривання, що мікропрограмується та нарощується, та мікросхема КМ1804ВР3.

Мікросхема КМ1804ВР3 є керованим шифратором вісім входів та на три виходи і призначена для спільної роботи з мікросхемами КМ1804ВН1 у складі КПП із різною кількістю входів. Для побудови КПП, що обробляє запити від восьми зовнішніх пристроїв потрібна одна мікросхема КМ1804ВН1. Одна мікросхема КМ1804ВР3 забезпечує прийом і кодування сигналів для восьми мікросхем КМ1804ВН1, таким чином можна побудувати КПП до 64 входів. Для більш складного пристрою потрібне застосування декількох мікросхем КМ1804ВР3.

На рис. 19.8 наведене умовне графічне позначення мікросхеми КМ1804ВН1. Нижче наведені символічні імена виходів мікросхеми.



*Рис. 19.8. Умовне графічне позначення мікросхеми КМ1804ВН1*

|  |  |  |
| --- | --- | --- |
| *GND* | – | *загальний;* |
| *VCC* | – | *напруга живлення +5В;* |
| *COMO* | – | *управління режимом;* |
| *DEINR* | – | *заборона переривання;* |
| *CRO* | – | *перенос із попередньої групи;* |
| *EWRSA* | – | *дозвіл запису стану;* |
| *EINS* | – | *дозвіл мікрокоманди;* |
| *DES* | – | *послідовна заборона;* |
| *DEP* | – | *паралельна заборона;* |
| *RQINR* | – | *запит переривання;* |
| *CR2* | – | *перенос в наступну групу;* |
| *МК [7..0]* | – | *маска;* |
| *INR [7..0]* | – | *запроси переривання;* |
| *INS [3..0]* | – | *мікрокоманда;* |
| *SA [2..0]* | – | *поточний стан;* |
| *VEC [2..0]* | – | *вектор;* |
| *CLK* | – | *тактовий сигнал.* |

На регістр переривання (РП) поступають запроси на переривання (INR7-INR0). З регістра переривання інформація подається на пріоритетний шифратор (ПШ), на якому формується вектор переривання.

Регістр вектора (РВ) служить для запису і зберігання двійково кодованого вектора переривання. Регістр маски (РМ) – регістр має вісім розрядів, відповідних розрядам регістра переривання. Двонаправлені виходи МК7-МК0 служать для завантаження і читання регістра маски.

Кожний з восьми розрядів пристрою маскування є вентилем 2І-Не. На входи пристрою маскування поступають сигнали з виходів відповідних розрядів регістрів переривання і маски.

Шифратор пріоритету (ШП) формує двійково кодований вектор переривання, вказуючи незамаскований запит переривання з вищим пріоритетом. Двійкове значення вектора переривання рівне порядковому номеру входу INR7-INR0, прийнятого до обробки як джерело запиту переривання.

Буферні схеми вектора (БВ) видають значення вектора переривання на виходи VEC2-VEC0 при виконанні мікрокоманди «Читання вектора». Регістр стану (РС) визначає найнижчий пріоритет, за якого запит переривання буде дозволений. Двонаправлені виходи SA2-SA0 служать для завантаження і читання регістра стану. Під час виконання мікрокоманди «Читання вектора» схема приросту (СП) нарощує на 1 поточне значення вектора переривання і результат завантажується в регістр стану.

Схема порівняння (СС) сигналізує про те, що вектор переривання більше або рівний вмісту регістра стану. Тригер переповнювання (ТП) встановлюється в стан 1 після прочитання вектора переривання найвищого пріоритету. Сигнал переповнювання з виходу OF використовується для заборони переривання і вказує на переповнювання регістра стану.

Тригер дозволу молодшої групи (ТГ) *в*икористовується при об'єднанні мікросхем в систему обробки переривань. Виходом ТГ є вихід FL мікросхеми.

На рис. 19.9 наведене умовне графічне позначення мікросхеми КМ1804ВР3.

Нижче наведені символічні імена виходів мікросхеми.

|  |  |  |
| --- | --- | --- |
| *GND* | – | загальний; |
| *Vcc* | – | напруга живлення +5В; |
| *EEX1* | – | управляючий вхід |
| *EEX2* | – | управляючий вихід |
| *D0 – D7* | – | вхідна група сигналів |
| *Z0 – Z2* | – | вихідна група сигналів |



*Рис.19.9. Умовне графічне позначення мікросхеми КМ1804ВР3*

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| *Таблиця 19.1.* Відповідність вхідних та вихідних сигналів | | | | | | | | | | | | |
| ***Вхідні сигнали*** | | | | | | | | | ***Вихідні сигнали*** | | | |
| *EEХ*1 | *D*0 | *D*1 | *D*2 | *D*3 | *D*4 | *D*5 | *D*6 | *D*7 | *Z*2 | *Z*1 | *Z*0 | *EEХ*2 |
| 1 | \* | \* | \* | \* | \* | \* | \* | \* | 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| 0 | \* | \* | \* | \* | \* | \* | \* | 0 | 1 | 1 | 1 | 1 |
| 0 | \* | \* | \* | \* | \* | \* | 0 | 1 | 1 | 1 | 0 | 1 |
| 0 | \* | \* | \* | \* | \* | 0 | 1 | 1 | 1 | 0 | 1 | 1 |
| 0 | \* | \* | \* | \* | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 |
| 0 | \* | \* | \* | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 0 | \* | \* | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 |
| 0 | \* | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 |

***Примітка:*** *\* – будь-який стан входу*

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| *Таблиця 19.2.* Відповідність вхідних та вихідних сигналів | | | | | | | |
| ***Вхідні сигнали*** | | | | | ***Вихідні сигнали*** | | |
| *EZ*1 | *EZ*2 | *EZ*3 | *EZ*4 | *EZ*5 | *Z*2 | Z1 | *Z*0 |
| 1 | 1 | 0 | 0 | 0 | Дозволено | | |
| 0 | \* | \* | \* | \* | *Z* | *Z* | *Z* |
| \* | 0 | \* | \* | \* | *Z* | *Z* | *Z* |
| \* | \* | 1 | \* | \* | *Z* | *Z* | *Z* |
| \* | \* | \* | 1 | \* | *Z* | *Z* | *Z* |
| \* | \* | \* | \* | 1 | *Z* | *Z* | *Z* |

***Примітка:*** *\* – будь-який стан входу, Z – стан «виключено»*

***PIC8259A***

Управління мікросхемою здійснюється 4-бітовим полем мікрокоманди *(INS3-INS0),* що поступає на вхід пристрою управління. Мікрокоманда виконується, якщо на вхід дозволу мікрокоманди *EINS* подана напруга низького рівня і не виконується при EINS = 1.

Мікросхема *IC8257А* є керованим шифратором восьми входів на три виходи і призначена для спільної роботи з мікросхемами *PIC8259A* у складі пристроїв обробки переривань. Одна мікросхема *IC8257А* забезпечує прийом і кодування сигналів для восьми мікросхем *PIC8259A* (пристрій обробки переривань на 64 входи). Для складніших пристроїв застосовують декілька мікросхем *IC8257А*.

Робота дешифратора управляється входом *EEX1*. При подачі на нього високого рівня робота заборонена, і на виходи *Z0-Z2* подається напруга низького рівня*.* Якщо на *EEX1* поданий низький потенціал, то на виходи *Z0-Z2* подається найбільший номер з входів *D0-7* (наприклад 4 для D4). Це дозволяє приймати переривання від пристрою з найвищим пріоритетом. Крім того, на виході схеми існують буферні регістри, переклад у відключений стан яких проводиться за допомогою сигналів *EZ1-5,* оброблених комбінаційною схемою.

Враховуючи, що КПП повинен підтримувати 90 ЗП, то для його реалізації потрібно використовувати 13 мікросхем *PIC8259A і 2IC8257А* . Восьмирозрядну мікропрограмовану нарощувану схема пріоритетного переривання.

Для побудови піраміди підключення КПП використовують шифратор з восьми входів на три виходи і призначена для спільної роботи з мікросхемами *PIC8259A* у складі багатовходових пристроїв обробки переривань. Одна мікросхема *IC8257А* забезпечує прийом і кодування сигналів для восьми мікросхем *PIC8259A* (пристрій обробки переривань до 64 входів). Для складнішого пристрою потрібне застосування декількох мікросхем *IC8257А*.



*Рис. 19.10. Функціональна схема КПП (16 зовнішніх пристроїв)*

На схемі *НАУ 10 12 39 007 Е4* приведений контролер пріоритетних переривань, який розрахований на 90 зовнішніх пристроїв. Для реалізації заданого блоку були використані наступні елементи*: PIC8259A* - пристрій обробки переривань на 64 входи, *IC 8257А* - є керований шифратор восьми входів на три виходи, а також PROM і дешифратор – для включення і виключення мікросхем. У схемі використовується 12 мікросхем *PIC8259A* – це пов'язано з тим, що кількість зовнішніх пристроїв рівна 90. Оскільки одна мікросхема може працювати з вісьма зовнішніми пристроями, то для того, що б спроектований КПП міг працювати з 90 ВУ, використовуємо 12 мікросхем даного типу. Мікросхема *IC 8257А* використовується спільно з *PIC8259A* і до неї можна підключити 8 мікросхем даного типу.Оскільки ми використовуємо 12 мікросхем *PIC8259A* , то для спільної їх роботи використовуємо дві мікросхеми IC 8257А.

На входи *IR0-IR7* елементів *DD1-DD12* подаємо запити переривань. Якщо сигнал на вхід *СОМО=1*, наявність запитів визначається низьким рівнем напруги. Входи *МК0-МК7* використовуються для читання і запису маски до внутрішнього регістра маски, який можна обнулити або встановити в «1». Виходи *SA0-SA2* використовуються для читання і запису регістра стану, який визначає найнижчий пріоритет, для якого дозволено переривання. При виконанні команди «Читання вектора», вектор видається на *VEC0-VEC2*, а в регістрі стану фіксуєтьсяінкрементоване значення вектора переривання. Таким чином, забороняється переривання з пріоритетом, менше або рівним пріоритету, який обробляється в даний момент часу.

Виходи FL елементів *DD1-DD12* використовуємо для підключення до мікросхеми IC 8257А. На принциповій схемі КПП організовано на схемах (*DD1-DD16*). Шифратор(*DD13, DD14*) − перетворювач адреси MC DD15, дешифратор для відключення м/с КПП (*DD18*).

***Приклад***

*Подати схему КПП для 140 зовнішніх пристроїв.* Для того аби підключити 140 ЗП необхідно використати 140/8 = 17,5 ≈ 18 схем *PIC8259A*. Для формування старших розрядів вектора переривання за допомогою шифратора необхідно підключити на його входи 18 схем *PIC8259A,* тому використаємо 3 схеми *IC8257А*.

*Загальна кількість ЗП – 140.*

